

THIN-FILM TRANSISTOR SUBSTRATE

Publication number: JP5224234 (A)

Publication date: 1993-09-03

Inventor(s): ICHIKAWA YOSHIHARU

Applicant(s): NIPPON ELECTRIC CO

Classification:

- international: G02F1/136; G02F1/1368; G09F9/30; H01L29/78; H01L29/786;
G02F1/13; G09F9/30; H01L29/66; (IPC1-7): G02F1/136;
H01L29/784

- European:

Application number: JP19920014919 19920130

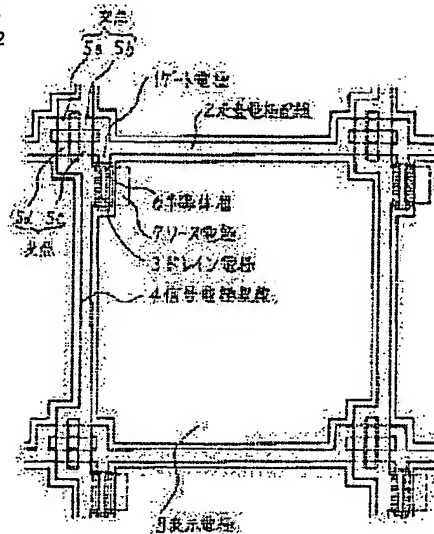
Priority number(s): JP19920014919 19920130

Also published as:

JP2814814 (B2)

Abstract of JP 5224234 (A)

PURPOSE: To eliminate the wiring defects of the thin-film transistor (TFT) substrate and to improve yield. **CONSTITUTION:** The intersected point parts of the scanning electrode wirings 2 and signal electrode wirings 4 of the TFT substrate are divided into ≥ 2 pieces and the signal electrode wirings 4 are divided into ≥ 2 pieces to form the matrix of $\geq (2 \times 2)$ intersected points. The generation of a disconnection as the TFT substrate is prevented in spite of the generation of the disconnection at one point by forming the intersected points as the matrix of $\geq (2 \times 2)$. Since a shorting defect is correctable even if such defect arises and, therefore, wiring defects are eliminated. There is, therefore, an effect of improving the yield of the TFTs.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-224234

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-14919

(22)出願日 平成4年(1992)1月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 市川 祥治

東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

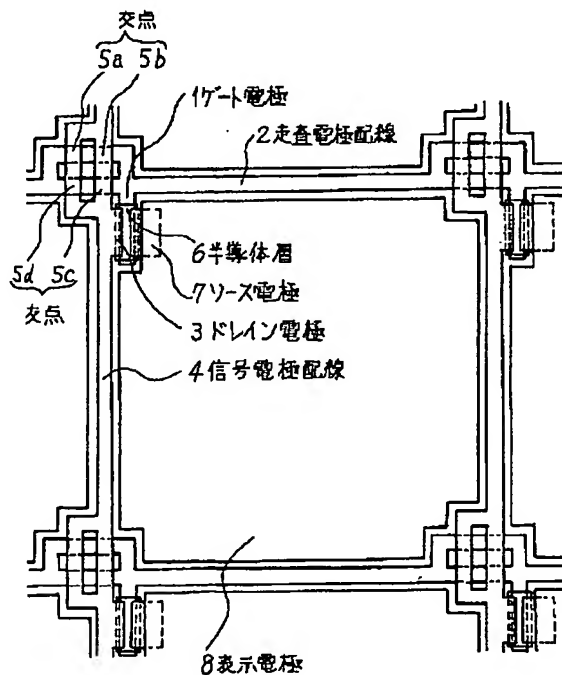
(54)【発明の名称】 薄膜トランジスタ基板

(57)【要約】

【目的】薄膜トランジスタ基板の配線欠陥をなくし歩留りを向上させることを目的とする。

【構成】薄膜トランジスタ基板において、走査電極配線と信号電極配線との交点部分を走査電極配線を2本以上に分けかつ信号電極配線を2本以上に分けて交点を2×2以上のマトリクスとする。

【効果】交点を2×2以上のマトリクスとしたことにより交点部分で1カ所断線が発生しても薄膜トランジスタ基板としては、断線とならず、短絡欠陥が発生しても修正ができるため配線欠陥をなくせる。このため薄膜トランジスタの歩留りを向上できる効果がある。



【特許請求の範囲】

【請求項1】 薄膜トランジスタのゲート電極に接続する走査電極配線と前記薄膜トランジスタのドレイン電極に接続する信号電極配線とを少なくとも有する薄膜トランジスタ基板において、前記走査電極配線と前記信号電極配線との交点部分を前記走査電極配線を2本以上に分けかつ前記信号電極配線を2本以上に分けて交点を2×2以上のマトリクスとすることを特徴とする薄膜トランジスタ基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に用いる薄膜トランジスタ基板に関し、特に製造歩留りの高い薄膜トランジスタ基板に関する。

【0002】

【従来の技術】従来の薄膜トランジスタ基板は、図3に示すように薄膜トランジスタのゲート電極1に接続する走査電極配線2、ドレイン電極に接続する信号電極配線4、半導体層6、ソース電極7、表示電極8とから少なくとも構成されている。このため走査電極配線2と信号電極配線4との交点5が1つ存在する。この部分は、通常絶縁膜を用いて電氣的に分離される。

【0003】また、他の従来の薄膜トランジスタ基板は、図4に示すように走査電極配線2が信号電極配線4付近で2本に別れ、走査電極配線2と信号電極配線4との交点5a、5bが2つある（例えば電子通信学会技術研究報告、ED-84、No. 159、p17～p19）。この例では信号電極配線4がドレイン電極3を兼ねていてドレイン電極3は信号電極配線4とゲート電極1との重なり部分に相当している。

【0004】

【発明が解決しようとする課題】この従来の薄膜トランジスタ基板では、ゲート電極1とドレイン電極3で短絡欠陥がある場合、図3の薄膜トランジスタ基板では、ゲート電極1と走査電極配線2との接続部をレーザ等で切断することにより線欠陥となることを防ぎ、図4のものでは走査電極配線2の2本に別れたゲート電極1側の走査電極配線2を切断することにより線欠陥となることを防ぐことができる。しかしながら、両者とも走査電極配線2と信号電極配線4との交点での短絡欠陥修正および断線欠陥修正はできないという問題点があった。

【0005】

【課題を解決するための手段】本発明は、薄膜トランジスタのゲート電極に接続する行状の走査電極配線と前記薄膜トランジスタのドレイン電極に接続する列状の信号電極配線とを少なくとも有する薄膜トランジスタ基板において、行状の走査電極配線と列状の信号電極配線との交点部分を走査電極配線を2本以上に分けかつ信号電極配線を2本以上に分けて交点を2×2以上のマトリクスとすることを特徴とする。

【0006】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の薄膜トランジスタ基板を示す平面図である。基板に導電体を成膜し、ホトリソグラフィ技術を用いてパターンニングしたあとと不要部分の導電体をエッチング除去しゲート電極1と走査電極配線2を形成する。次に、プラズマケミカルバーバーデポジション（PCVD）法により絶縁層、半導体層を連続成膜し、ホトリソグラフィ技術を用いてパターンニングしたあとと不要部分の半導体層をエッチング除去し半導体層6を形成する。次に導電体を成膜し、ホトリソグラフィ技術を用いてパターンニングしたあとと不要部分の導電体をエッチング除去しドレイン電極3と信号電極配線4を形成する。さらに、透明導電体を成膜しホトリソグラフィ技術を用いてパターンニングしたあとと不要部分の透明導電体をエッチング除去し表示電極8を形成し薄膜トランジスタ基板を形成した。走査電極配線2と信号電極配線4とは、それらの交点部分はともに2本に分け、交点5a～5dは2×2のマトリクスとした。

【0007】対角14インチ表示数1024×1024×3のカラー液晶ディスプレイを製造した場合の配線欠陥についてのみの歩留りを図3に示した従来のものと比較すると、従来のもののストレートの歩留りは70%、修理を含む歩留りは75%であるのに対し、本発明のものはストレートの歩留り75%、修理を含む歩留りは95%であった。本発明のものでストレートの歩留りも良くなるのは、短絡による欠陥発生増加よりも断線による欠陥発生阻止の割合が多いためである。また、修正できないものがあるのは、短絡が高抵抗の場合ディスプレイに組み立てないと発見できない欠陥があり、ディスプレイに組み立てると交点5a～5dのどこが欠陥なのか判別できないことがあるためである。

【0008】図2は、本発明の第2の実施例の薄膜トランジスタ基板を示す平面図である。製造方法は第1の実施例と同じであるが、表示電極は8a～8dに4分割してある。このものの歩留りはストレートで75%、修理を含む歩留りは100%であった。これは第1の実施例ではディスプレイに組み立ててからでは欠陥の判別ができなかったのに対し、第2の実施例では欠陥個所に近い表示電極にかかる電圧が他と異なるためディスプレイを表示させた場合に表示濃度が他と異なって見え欠陥のある交点の個所の判別ができるためである。

【0009】

【発明の効果】以上説明したように本発明は、交点部分で走査電極配線を2本以上に分けかつ信号電極配線を2本以上に分けて交点を2×2以上のマトリクスとしたことにより、断線欠陥が発生しても修正が可能であることにより薄膜トランジスタ基板の歩留りを向上できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の薄膜トランジスタ基板の平面図である。

【図2】本発明の第2の実施例の薄膜トランジスタ基板の平面図である。

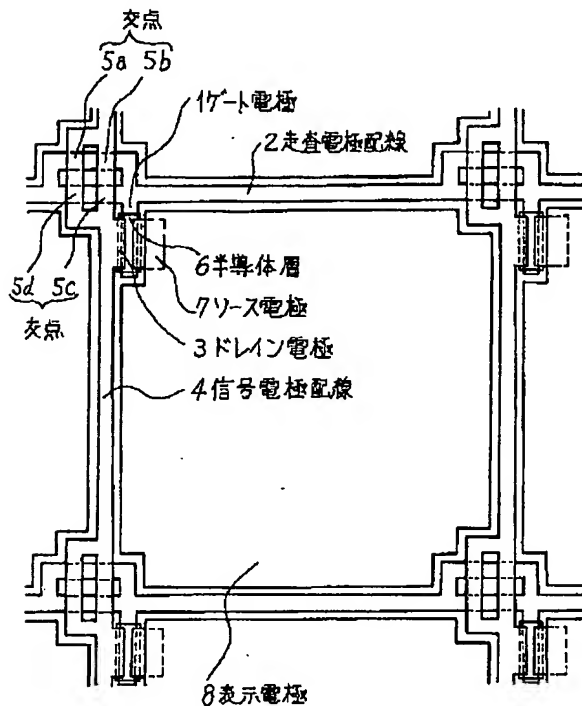
【図3】従来の薄膜トランジスタ基板の平面図である。

【図4】従来の薄膜トランジスタ基板の他の例の平面図である。

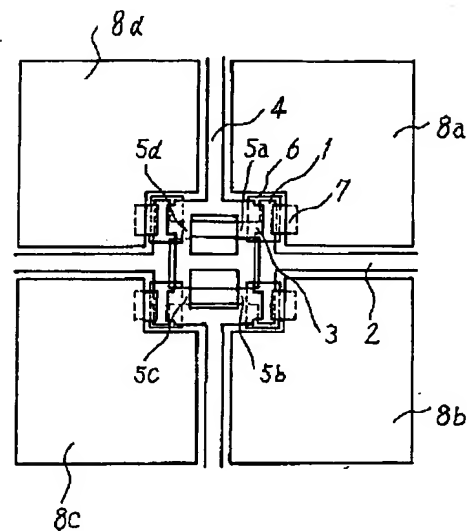
【符号の説明】

- * 1 ゲート電極
2 走査電極配線
3 ドレイン電極
4 信号電極配線
5, 5a~5d 交点
6 半導体層
7 ソース電極
* 8, 8a~8d 表示電極

【図1】

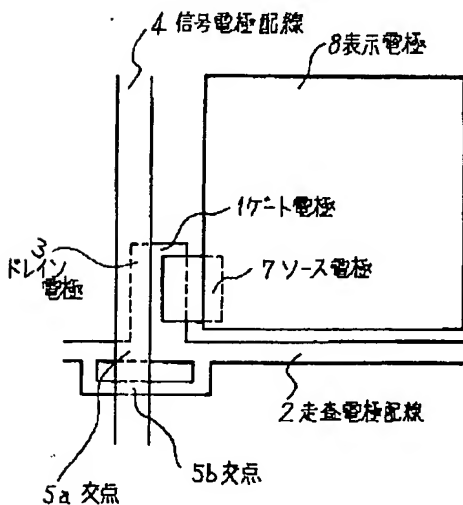


【図2】



- 1: ゲート電極 2: 走査電極配線
3: ドレイン電極 4: 信号電極配線
5a~5d: 交点 6: 半導体層
7: ソース電極 8a~8d: 表示電極

【図4】



【図3】

